

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267223

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H01L 21/027  
G03F 7/20

(21)Application number : 2000-076334

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.03.2000

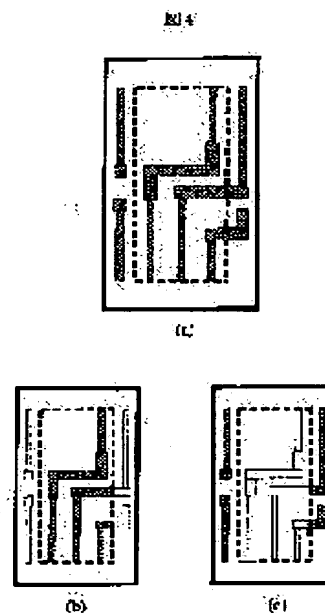
(72)Inventor : FUKUDA HIROSHI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method which is capable of correcting an pattern on a dimensional change (proximity effect) that is induced depending on the peripheral conditions of the pattern such as a micro loading effect at etching in an transfer process after a pattern drawing process is carried out when a logic LSI is formed through an electron beam drawing method by the use of a cell projection or a block exposure system.

**SOLUTION:** Only a pattern (shaded parts in Figure 4 (b)) inside a cell which is frequently used is collectively transferred through an aperture, and a peripheral part of the cell (shaded parts in Figure 4 (c)) is transferred through a usual variable formation beam drawing. A dimensional change occurring in a pattern depending on the peripheral conditions of the pattern is corrected in both the above cases respectively. A semiconductor device that is uniform in gate length and high in performance can be manufactured in a comparatively short time without using a mask.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267223

(P2001-267223A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/027		G 0 3 F 7/20	5 0 4 2 H 0 9 7
G 0 3 F 7/20	5 0 4		5 2 1 5 F 0 5 6
	5 2 1	H 0 1 L 21/30	5 4 1 M

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願2000-76334 (P2000-76334)

(22) 出願日 平成12年3月14日 (2000.3.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 福田 宏

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

Fターム (参考) 2H097 BB01 CA16 CB01 LA10

5F056 AA05 AA06 CB08 CC12 EA04

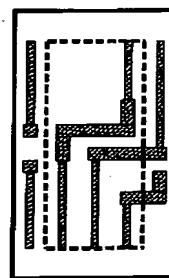
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

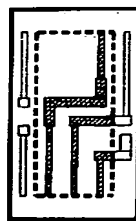
【課題】セルプロジェクション又はブロック露光方式による電子線描画法を用いて論理LSIを製造する際、エッチング時のマイクロローディング効果等、描画後のパターン転写プロセスにおいてパターンの周辺状況に依存して生じる寸法変動（近接効果）を補正し得る方法を提供する。

【解決手段】多数回使用されるセルの内部のパターン（図4（b）の斜線部）に対してのみアパーチャを用いた一括転写を行い、セルの周辺部（図4（c）の斜線部）は従来の可変成形ビーム描画を行う。各々において、パターンの周辺状況に依存して生じる寸法変動を補正する。ゲート長のバラツキを抑えた高性能の半導体装置を、マスクを使用しないで比較的短時間で作製することができる。

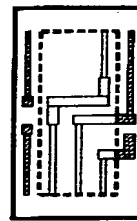
図4



(a)



(b)



(c)

## 【特許請求の範囲】

【請求項1】同一設計パターンを含む複数の回路ブロックを有する半導体装置を、電子線による描画法を用いて製造する半導体装置の製造方法において、所定の回路パターンを開口とするアパーチャを通過させることにより上記パターン状に成形した電子線による描画を、上記回路ブロック内において上記回路ブロックと外部との境界から一定範囲を除いた領域のパターンに対してのみ適用し、上記回路ブロック内の上記一定範囲にあるパターンに対しては、可変成形の電子線による描画を適用するよう構成したことを特徴とする半導体装置の製造方法。

【請求項2】前記可変成形の電子線によって描画される前記パターンの寸法又は照射量は、前記電子線による描画後のパターン転写プロセスにおける寸法変化分を相殺するように、前記パターンの周辺における隣接パターンとの位置関係に応じて補正してなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記アパーチャの開口パターンの寸法は、前記電子線による描画後のパターン転写プロセスにおける寸法変化分を相殺するように、前記パターンの周辺における隣接パターンとの位置関係に応じて補正してなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記境界から一定範囲は、近接効果による寸法変動が、前記設計パターンの寸法変動許容値より大きくなる相互作用距離の範囲であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】同一設計パターンを含む複数の回路ブロックを有する半導体装置を、電子線による描画法を用いて作製する半導体装置の製造方法において、基本セルの組み合わせからなる回路ブロックのうち、回路中に出現頻度の高い回路ブロックを抽出し、該回路ブロックをセルフプロジェクション又はブロック露光方式を用いて一括転写する工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOSロジックをはじめとするロジック系半導体集積回路を含む半導体装置の製造方法に係り、特にセルフプロジェクション又はブロック露光方式による電子線描画法を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路（LSI）の高性能化及び高集積化は、回路パターンの微細化により達成されてきた。特に、ロジック系LSIでは、その動作速度（動作周波数）はトランジスタゲート長（Lg）の縮小により向上されてきた。これらの回路形成には、現在、チップ単位で回路パターンをウエハー上に一括転写する光リソグラフィ（縮小投影露光法）が用いられており、その

解像度向上は露光波長の短波長化と投影レンズ開口数増大で達成されてきた。しかし、光リソグラフィの解像限界からLg0.07 $\mu$ m以下を達成することは困難と考えられる。又、光リソグラフィはスループットが高い一方、品種毎にマスクを用意しなければならないため、ASIC等の少量多品種生産品においてはマスクコストが膨大となるという問題点がある。

【0003】一方、微細に絞こんだ電子ビームで回路パターンを順次描画していく電子線（EB）描画法は、スループットは低いものの、高い解像度を有する。EB描画法のスループットを向上するために、回路パターンを矩形パターンに分解し、上記矩形パターンに成形した電子ビームで描画する可変成形ビーム方式がある。さらに、ある程度の大きさを有するパターンのブロック毎に、電子ビームをアパーチャマスクにより成形してこれを一括転写するセルフプロジェクション方式又はブロック露光方式がある。

【0004】上記各方式の概念図を、各々、図1（a）及び（b）に示す。又、これらの方式については、例えば、「ULSリソグラフィ技術の革新」第148頁（サイエンスフォーラム社刊、1994年、東京）に論じられている。図1（a）に示すように、可変成形ビーム方式では、矩形に成形したビーム1を第1偏向電子レンズ2により適宜横ずれさせて矩形アパーチャ3を通過させることにより、任意形状の矩形電子ビームを形成し、これを第2偏向電子レンズ4により基板ウエハー5上の任意位置に照射することにより、基板ウエハー5上のレジスト膜を露光する。一方、図1（b）に示すように、セルフプロジェクション方式又はブロック露光方式では、矩形に成形したビーム1を第1偏向電子レンズ2により適宜横ずれさせて、一括転写アパーチャ3'の任意のパターンブロック上に照射する。一括転写アパーチャ3'には、所望のパターンを開口部とするパターンブロックが複数含まれている。一括転写アパーチャ3'を通過させることにより所望のパターンに成形された電子ビームを、第2偏向電子レンズ4により基板ウエハー5上の任意位置に照射して、基板ウエハー5上のレジスト膜を上記パターン状に露光する。

【0005】セルフプロジェクション方式又はブロック露光方式で一括転写可能なパターンブロックの大きさは、数ミクロン角程度（ウエハー上）であり、また、アパーチャマスクとして登録可能なパターンブロックの種類は数十から数百程度である。従って、LSIの全パターンをこれでカバーすることは難しく、1個のLSIチップ内で複数回使われる基本的なパターンのみをアパーチャに組み込み、この転写像をウエハー上で適宜繋いで回路パターンを形成することになる。

【0006】又、上記でカバーしきれない部分は、可変成形ビームにて描画する。上記基本的なパターンとしてはメモリLSIのメモリセルパターンが代表的である

が、例えば論理LSIのスタンダードセル内のパターンを考えることもできる。一般にLSI設計において繰り返し使用される回路ブロック又は回路パターンは、回路又はレイアウトパターン設計工程においてセルとして登録される。従って、上記設計セルを一括転写する基本パターンブロックとするのが自然である。ここではLSI設計における「セル」との混乱を避けるため、ブロック露光方式の名称を用い、一括描画するパターンを一括転写ブロックと呼ぶことにする。

【0007】Lgの微細化と並んで重要なのは、寸法の高精度化である。Lgに要求される寸法精度は通常設計寸法の10%程度であり、従って、0.1ミクロン世代のデバイスではおよそ10nmレベルの寸法制御が必要となる。寸法精度を劣化させる要因として、隣接パターンの影響によりパターン寸法・形状が変動してしまう近接効果が問題となっている。

【0008】即ち、図2(a)に示すように様々に配置された同一Lgを有するゲートパターンをウエハー上に転写すると、エッチング後に得られるゲートパターンの実際の寸法は図2(b)に示すようにパターンの配置状況に応じて変化してしまう。この現象は、露光における光の回折や電子線の散乱等の光学的効果、レジスト中の反応生成物の拡散、現像速度の現像面積依存性、エッチング時の（マイクロ）ローディング効果、等の様々な効果が複雑に絡み合ったものであることが分かっている。

【0009】これらの現象の大きさは、おおよそ注目するパターンのエッジからある一定距離（相互作用距離と呼ぶ）の範囲内に隣接パターンが存在するかしないか、又は上記距離内に存在する隣接パターンのエッジまでの距離に依存する。一般にこのような場合、マスクを用いる従来の光リソグラフィではマスク上のパターン寸法を図2(c)に模式的に示すようにパターンの周囲状況に応じて補正する。これにより、図2(d)に示すように均一な寸法のパターンを得ることができる。

【0010】

【発明が解決しようとする課題】論理LSIの代表的な形態であるスタンダードセル方式のLSIは、数十から数百種類のスタンダードセルの組み合わせから構成される。そこで、これらの全てまたは代表的なセルを、前記セルプロジェクション法又はブロック露光法において一括転写するパターンブロックとして登録してすることが考えられる。

【0011】しかしながら、この場合、図3(a)に示すように、同一のセルであっても、セルの周囲の状況はセルの配置される環境により異なる。即ち、例えば、図3(a)左及び右においてセルA内のセル境界近傍（セル周辺部）にあるパターンに着目すると、上記セルのすぐ外側にはすぐ隣に近接してパターンが存在する場合

（図3(a)右）もあるし、何のパターンも存在しない場合（図3(a)左）もある。この場合、前述のマイク

ロローディング効果は主に隣接パターン間の距離に依存するため、上記2つの場合では、エッチング後のパターン寸法が、各々図3(b)右及び左に示すように、同一セルの同一位置に対応するパターンであっても各々大幅に異なってしまうという問題が生じる。この寸法変化は、トランジスタのゲート加工においては特に深刻である。

【0012】これに対して、光リソグラフィでは前述のようにマスク上のパターン寸法をパターンの周囲状況に応じて補正することにより対処する。しかしながら、ブロック露光方式においては、あらゆる周囲状況に対応してマスク補正を行ったセルに対して個々にアパーチャを用意することは徒にアパーチャの数を増大するため好ましくない。

【0013】一方、一般的可変矩形描画法ではパターン毎の電子線照射量を変化させることによりこの様な部分的な寸法補正を行うことが考えられるが、ブロック露光方式では1個のアパーチャの内部でその一部のパターンに対して露光量を変化させることは困難である。従って、従来のブロック露光方式を論理LSIに適用しようとした場合、十分な寸法精度が得られないという問題点があった。

【0014】又、単純なインバーター、NANDゲート等の最も基本的なセルの形状は一般に細長い。一方、これに対して一括露光可能な領域はほぼ正方形である。このため、図9に示すように、上記細長い形状のセルに対して1個のアパーチャを割り当てた場合、その両脇の領域は一括描画可能であるにもかかわらず使用されないため、極めて非効率的であるという問題点があった。

【0015】本発明は、ブロック露光方式の電子線描画法を用いて半導体装置を製造する際、主にプロセス起因の近接効果によるゲート長等の回路寸法のバラツキを抑えた高性能の半導体装置を提供することを第1の目的とする。

【0016】さらに、本発明は、ゲート長0.2ミクロン以下の半導体装置を少量多品種生産する場合であっても、上記近接効果によるゲート長のバラツキを抑えつつ、低コストで高い生産性で製造可能な半導体装置の製造方法を提供することを第2の目的とする。

【0017】

【課題を解決するための手段】本発明の上記第1の目的は、同一設計パターンを含む回路ブロックを複数有する半導体装置等の素子を、電子線描画法を用いて製造する方法において、上記回路ブロック内部のパターンを開口とするアパーチャを通過させることにより上記パターン状に成形した電子線を基板上に照射してパターンを形成する際、上記回路ブロックの外部との境界から一定範囲を除いた領域のパターンに対してのみアパーチャで成形した電子線を用いて描画し、パターンブロックの外部との境界から一定範囲にあるパターンは、可変成形による

10

20

30

40

50

電子線（可変成形ビーム）で描画することにより達成される。

【0018】上記可変成形ビームによる描画パターンの寸法又は照射量は、当該パターンの周辺における近接パターンとの位置関係に応じて適宜補正することが好ましい。特に、上記回路ブロック外部の隣接パターンとの距離に応じて、電子線描画後のレジストプロセス、エッチングプロセス等のパターン転写プロセスにおける寸法変化分を相殺するように補正することが好ましい。

【0019】この際、上記境界の一定範囲としては、おおよそ、上記レジストプロセス、エッチングプロセス等における近接効果による寸法精度が、上記設計パターンの寸法変動許容値より大きくなる、いわゆる相互作用距離の範囲とすることが好ましい。

【0020】また、上記回路ブロックとしては、設計セル、又は複数の設計セルの組合わせを用いることが好ましい。これにより基本的に回路ブロックと回路ブロックの間は、可変成形ビームで描画されることになる。オーバーチャに作りこむパターンについても、隣接パターンとの位置関係に応じて寸法補正を行うことが好ましい。

【0021】上記方法は、レジストプロセス、エッチングプロセス等のパターン転写プロセスにおける寸法変化が、回路パターンに要求される寸法精度と比較して無視できない大きさである場合に、行うことが好ましい。この様な状況は、例えばMOSトランジスタのゲート形成プロセスにおいてしばしば生じる。

【0022】上記第2の目的は、基本セルの組合せからなる回路ブロックのうち、回路中に出現頻度の高い回路ブロックを抽出し、その全部、または周辺部を除いた部分をオーバーチャを介して、セルフプロジェクション又はブロック露光方式により一括転写することにより達成される。

【0023】

【発明の実施の形態】同一LSI内において複数回利用される設計セル、又は設計セルの組み合わせを回路ブロックと呼ぶことにする。上記回路ブロックはチップ内の様々な場所に配置されることになる。又、回路ブロックの周辺部（境界から前記相互作用距離の範囲）を除いた部分を一括転写ブロックと定義する。2つのブロックの関係を図4（a）に模式的に示す。太い実線内部が回路ブロック、点線内部が一括転写ブロックである。

【0024】点線内部、即ち、一括転写ブロック内のパターン（図4（b）の斜線部）の特徴は、その属する回路ブロックがチップ内のどこに配置されようとも、前記相互作用距離の範囲内における隣接パターンとの位置関係が一定であることである。従って、上記距離の範囲での隣接パターンとの位置関係に依存して生じる各種近接効果起因の寸法変動も回路ブロックのチップ内配置条件によらない。このため、隣接パターンとの位置関係に応じた補正も回路ブロックの配置条件によらず一律に行う

ことができる。即ち、一括転写ブロック内部のパターンに対してはこの補正を一律に行うことができる。

【0025】一方、回路ブロックの周辺部に含まれるパターン（図4（c）の斜線部）は、その隣接パターンとの位置関係が、その属する回路ブロックがチップ内のどこに配置されるかによって異なる。従って、上記近接効果起因の寸法変動は、回路ブロックの配置条件、又は当該パターンの周囲のパターンとの位置関係に依存する。このため、上記回路ブロック周辺部のパターンの寸法補正は、同一セル内のパターンではあってもチップ内の位置に応じて個別に行う必要がある。

【0026】そこで、一括転写ブロック内部のパターンに対しては、ブロック露光描画法により一括転写するとともにそのパターンに対してあらかじめ上記補正を一括して行ない、一方、一括転写ブロックに含まれないパターンに対しては可変成形ビーム描画を行うとともに、その周辺パターンとの位置関係に応じた寸法又は照射量の補正を行うことにより、高速性と高い精度を両立した描画が可能となる。

【0027】（実施例1）以下、本発明をCMOS論理LSIのゲート形成に適用した例について述べる。まず、描画用パターンデータ及びブロック露光用オーバーチャ製用パターンデータを作成した例を、図5を用いて説明する。

【0028】まず、①、②に示すように、設計パターン（FG）の中で、使用頻度が高く、かつ縦横両辺が3ミクロンから5ミクロン程度の範囲にある数種の論理セルCELL（i）（i = 1, 2, …, n）を選んだ。次に、③に示すように、上記CELL（i）内部のゲート層パターンに対して、プロセス起因の近接効果に対する補正を行い、さらに、④に示すように、その最も外側にあるゲートパターンを除いたパターンをレイヤーFG\_BLKに登録した。補正には隣接パターンとの距離に応じたパターン幅補正が可能なルールベース光近接効果補正（OPC）用DAツールを利用した。

【0029】また、⑤に示すように、CELL（i）内部の、FG\_BLKパターンからなるセルを、新たにセルBLK（i）（i = 1, 2, …, n）として登録した。BLK（i）（i = 1, 2, …, n）は、一括転写ブロックとしてブロック露光により一括転写するパターンであり、そこに含まれるのは、パターン隣接関係が変化する恐れのないセルの内側のトランジスタゲート及び隣接関係によって寸法変動が生じて問題のないゲート層配線パターンである。

【0030】次に、⑥に示すように、チップ全体のゲート層パターンに対して、同様のプロセス起因の近接効果に対する補正を行い、補正後のパターンをレイヤーFG\_Cに登録した。補正には同様のOPCツールを利用した。次に、⑦に示すように、FG\_SB = FG\_C - FG\_BLKを計算して、⑧に示すように、これを

可変成形ビーム描画用データとした。

【0031】一方、BLK(i) (i=1, 2, …n) に対して、⑨、⑨' に示すように、各セル内のFG\_\_BLKパターンを開口とするブロック露光用アパーチャを作製した。又、チップ内におけるBLK(i) (i=1, 2, …n)の配置情報に基づき、⑩" に示すように、ブロック露光描画用データを作成した。

【0032】図3(a)の設計パターンFGに対して、FG\_\_BLK及びFG\_\_SBの例を、各々、図6(a)及び(b)に示す。本実施例では、各セルで一番外側のゲートのみを除いたものをFG\_\_BLKとした。細長いセルではnMOSとpMOSトランジスタをつなぐゲート層配線部のみがFG\_\_BLKパターンとなる。又、FG\_\_SBとFG\_\_BLKの接続部は、可変成形ビーム描画とブロック露光パターンの接続誤差を見込んで、若干の重なりを確保するようにした。

【0033】なお、最終的に得られるパターンが同じであれば、パターン分解の手順は上記に限定しない。例えば、近接効果補正をパターン分割の後で行う等、処理の手順を変更してもよい。但し、この場合、FG\_\_SBの補正は、一括転写ブロックとその他の領域の境界から少なくとも相互作用距離の範囲内にあるFG\_\_BLKのパターンを考慮して行うことが好ましい。同様に、FG\_\_BLKの補正は、その属する回路ブロックの全パターンを考慮して行うことが好ましい。

【0034】次に、この様にして作製した描画データとブロック露光用アパーチャを用いてLSIのゲートパターンを加工した例について、図7を用いて模式的に説明する。

【0035】まず、図7(a)に示すように、所定のLSI基板11上に多結晶Siからなるゲート膜12を堆積し、さらにその上にEB用ネガ型レジスト13を塗布した。次に、上記基板をブロック露光対応電子線描画装置(図示せず)中に固定し、上記パターンデータに基づき、上記FG\_\_BLKに相当するパターンに対しては、描画装置中に設置したアパーチャ(図示せず)を通過することによりパターン状に成形された電子ビーム14を、図7(b)に示すように、上記レジスト13に照射した。

【0036】また、図7(c)に示すように、上記FG\_\_SBに相当するパターンに対しては可変成形法により成形された矩形ビーム15を用いて描画した。なお、両者は必ずしもこの順番で描画されるわけではなく、パターン毎に適宜両方式を切り分けながら最適の順番で描画される。また、描画は、電子ビームを上記基板上にはあらかじめ形成されている所定の合わせマーク(図示せず)により位置を校正しつつ行った。

【0037】次に、図7(d)に示すように、所定の熱処理の後レジスト膜を現像して、所望のレジストパターン16を形成した。次に、上記レジストパターン16を

マスクとしてゲート膜をエッチングした後、レジスト、反射防止膜を除去して、図7(e)に示すように、所望のゲートパターン17を形成した。これにより、均一なゲート長を有するゲートパターンを、ウエハの全面に形成することができた。

【0038】なお、ゲート積層膜材料、露光装置の種類、レジストプロセス、ゲート形成プロセス等、本実施例で述べたものに限定しない。

【0039】(実施例2) 本発明の他の実施例を、図8を用いて説明する。まず、設計中に含まれる比較的小規模の基本論理ゲートの組み合わせについて解析した。ここで、基本論理ゲートとは、インバータ、2、3入力のNAND、NORゲート、これらの組み合わせからなるAND、ORゲート、3入力のAOI、OAIゲート等であり、その多くは比較的細長い形状を有するセルにより構成される。実際の論理回路中には、これらの基本論理ゲートの複雑な組み合わせが含まれていると考えられるので、ここではそのなかでも比較的出現頻度の多いものを抽出し、これを一括転写用回路ブロックとした。

【0040】回路ブロックとして抽出した論理ゲートの組み合わせ例を、図8(a)、(b)、(c)に示す。これらは、各論理ゲートを構成する細長いセルを横方向(トランジスタゲートの長手方向に垂直な方向)に並べ、適宜配線により接続することにより実現されるので、全体として縦横寸法が同程度のパターンブロックとなる。このため、このパターンブロックを一括転写用回路ブロックとすることにより、ブロック露光法により一括転写可能な領域を最大限に活用することが可能となり、描画時間が大幅に短縮された。

【0041】なお、本実施例は、アイソレーション層、ゲート層、コンタクトホール層、第1層配線層、第2層配線層、および第1及び第2層配線間ビア層に適用した。なお、第2層配線層ではセル内配線だけでなく、セル間の配線も行われる。セル間の配線パターンに関しては、可変成形ビーム方式により描画を行った。

【0042】(実施例3) 本実施例では、幅Wの大きなトランジスタを有する論理セルにブロック露光法を適用した例について述べる。本実施例の論理セルでは、PMOS部とNMOS部のトランジスタの幅が大きいため、セルの高さがブロック露光法により一括転写可能な領域からはみだしてしまう。そこで、PMOS部とNMOS部に分割した。

【0043】両者の接続部は、PMOS部とNMOS部の間の素子分離領域(フィールド)上のゲート配線領域にあるので、接続における位置ずれがトランジスタ性能に与える影響を最小に抑えることができた。本実施例ではゲート層以外のアイソレーション層、コンタクトホール層、第1層配線層、第2層配線層、および第1及び第2層配線間ビア層に対しても同様の分割を行った。

【0044】

【発明の効果】以上、本発明によれば、セルプロジェクション又はブロック電子線描画を用いて論理LSIを製造する際、多数回使用される基本論理セルの内部のパターンをアパーチャを用いた一括転写を行い、上記セルの周辺部のパターンを従来の可変成形ビーム描画で行うとともに、各々においてパターンの周辺状況に依存して生じる寸法変動を補正することにより、ゲート長のバラツキを抑えた高性能の半導体装置を、電子線描画を用いて比較的短時間で作製することができる。

【図面の簡単な説明】

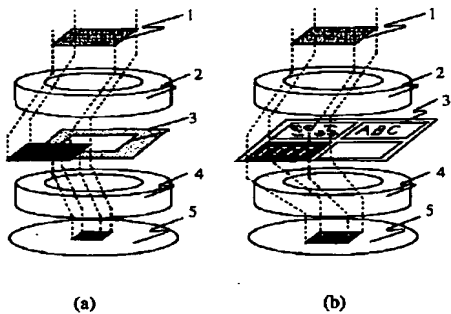
【図1】電子線描画法における2方式の原理を模式的に示した図。

【図2】近接効果とその従来対策方法である近接効果補正の原理を模式的に示した図。

【図3】ブロック露光法を論理LSIに適用した場合に生じる近接効果の問題点を示す模式図。

【図1】

図1



\*【図4】本発明の原理を示す模式図。

【図5】本発明の第1の実施例におけるパターンデータ処理の手順を示す流れ図。

【図6】本発明の第1の実施例による可変成形ビーム描画パターン及び一括転写パターン分解の一例を示す模式図。

【図7】本発明の第1の実施例による半導体装置製造工程を示す模式図。

【図8】本発明の第2の実施例における一括転写用回路ブロックの一例示す模式図。

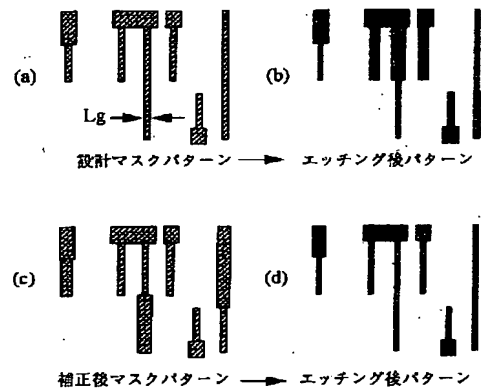
【図9】ブロック露光法を論理LSIに適用した場合に生じる別の問題点を示す模式図。

【符号の説明】

11…LSI基板、12…ゲート膜、13…ポジ型レジスト、14…電子ビーム、15…矩形ビーム、16…レジストパターン、17…ゲートパターン。

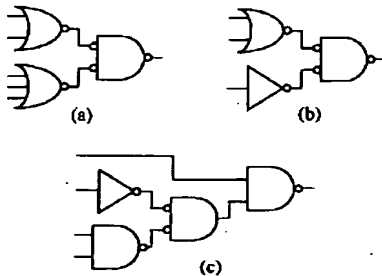
【図2】

図2



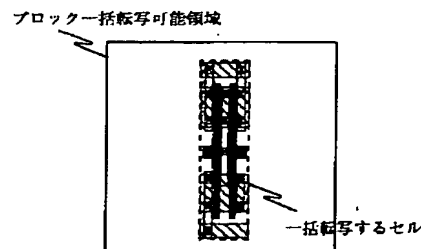
【図8】

図8



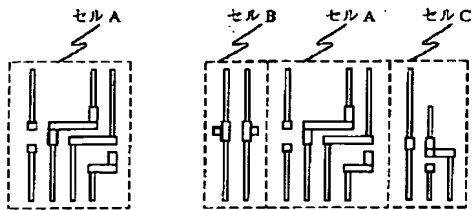
【図9】

図9



【図3】

図3



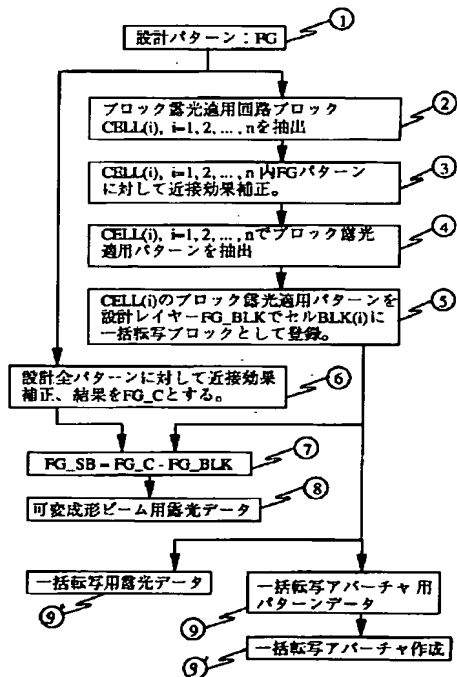
(a) 設計パターン



(b) エッチング後パターン

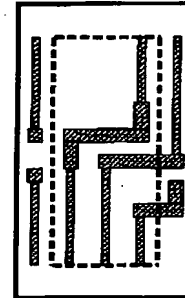
【図5】

図5

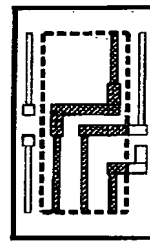


【図4】

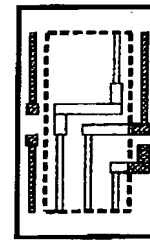
図4



(a)



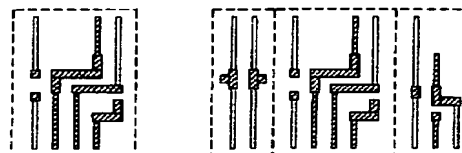
(b)



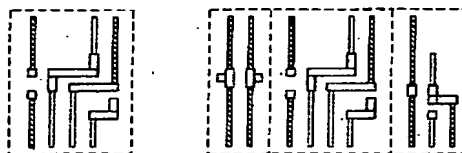
(c)

【図6】

図6



(a) FG\_BLK パターン



(b) FG\_SB パターン



【図7】

図7

